



HL6127CXX系列是使用CMOS 技术开发的、内置了固定的延迟时间发生电路的高精度电压检测IC。检测电压在内部被固定，精度为±2.0%。另外，因为在内部还内置有振荡电路以及计数定时器，所以不需外接元器件就能延迟解除信号，该延迟时间有3种。在输出方式上备有NMOS开路漏极和CMOS输出。

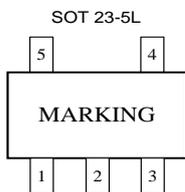
### ■ 特性：

- 超低消耗电流 1.2uA典型值 (@VDD=3.5 V)
- 高精度检测电压 ±2.0 %
- 工作电压范围 1 V ~ 12.0 V
- 滞后特性 60 mV 典型值
- 检测电压范围 2.2 V ~ 6.0 V
- 延迟时间 200 ms 典型值
- 输出方式 NMOS开路漏极输出  
CMOS输出
  
- 提供 SOT23-5L、SOT23-3L 封装
- 无铅、Sn 100%、无卤素

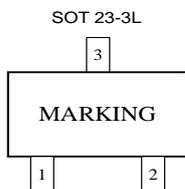
### ■ 用途：

- 笔记本电脑、数码静像相机等手持设备电源监测
- 仪器仪表、通信设备等的稳压电源监测
- 微机用电源的监视以及CPU 的复位

### ■ 引脚排列



引脚编号	引脚名称	功能特性
1	DS	延时时间切换端
2	VSS	接地端
3	NC	无连接
4	VOUT	电压检测输出端
5	VDD	检测电压输入端



引脚编号	引脚名称	功能特性
1	VOUT	电压检测输出端
2	VSS	接地端
3	VDD	检测电压输入端

## ■ 产品目录

型号	检测电压	输出方式	延迟时间	精度	封装	打印 MARK(注)
HL6127C22	2.2V	NMOS、CMOS	200ms	±2%	SOT23-5L	C22X
HL6127C24	2.4V	NMOS、CMOS	200ms	±2%	SOT23-5L	C24X
HL6127C26	2.6V	NMOS、CMOS	200ms	±2%	SOT23-5L	C26X
HL6127C27	2.7V	NMOS、CMOS	200ms	±2%	SOT23-5L	C27X
HL6127C28	2.8V	NMOS、CMOS	200ms	±2%	SOT23-5L	C28X
HL6127C30	3.0V	NMOS、CMOS	200ms	±2%	SOT23-5L	C30X
HL6127C33	3.3V	NMOS、CMOS	200ms	±2%	SOT23-5L	C33X
HL6127C36	3.6V	NMOS、CMOS	200ms	±2%	SOT23-5L	C36X
HL6127C37	3.7V	NMOS、CMOS	200ms	±2%	SOT23-5L	C37X
HL6127C39	3.9V	NMOS、CMOS	200ms	±2%	SOT23-5L	C39X
HL6127C40	4.0V	NMOS、CMOS	200ms	±2%	SOT23-5L	C40X
HL6127C42	4.2V	NMOS、CMOS	200ms	±2%	SOT23-5L	C42X
HL6127C44	4.4V	NMOS、CMOS	200ms	±2%	SOT23-5L	C44X
HL6127C46	4.6V	NMOS、CMOS	200ms	±2%	SOT23-5L	C46X
HL6127C50	5.0V	NMOS、CMOS	200ms	±2%	SOT23-5L	C50X
HL6127C23	2.3V	NMOS、CMOS	200ms	±2%	SOT23-3L	C23X
HL6127C263	2.63V	NMOS、CMOS	200ms	±2%	SOT23-3L	C26X
HL6127C27	2.7V	NMOS、CMOS	200ms	±2%	SOT23-3L	C27X
HL6127C29	2.9V	NMOS、CMOS	200ms	±2%	SOT23-3L	C29X
HL6127C50	5.0V	NMOS、CMOS	200ms	±2%	SOT23-3L	C50X

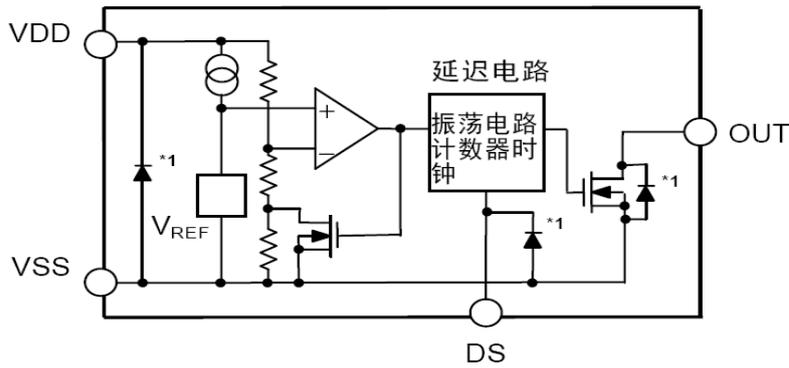
注：可提供客户半定制产品，选择范围 1.5~7 每 0.1V 步进细分；

NMOS 输出及延时时间为 50mS, 100mS 的产品可接受定制。

X 可表示为两种输出方式：C 表示 CMOS 推挽输出，N 表示 NMOS 开漏输出；

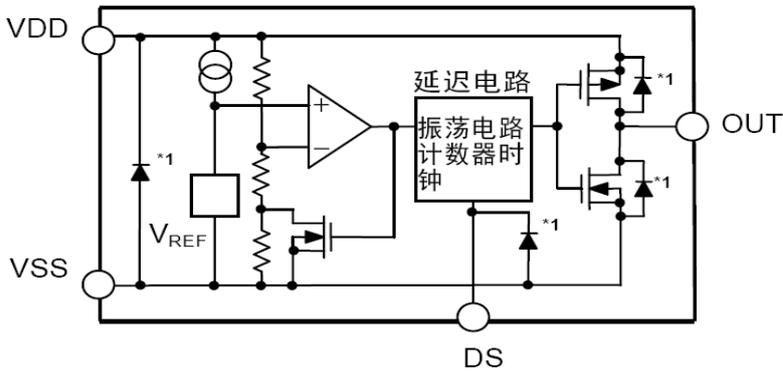
■ 框图

1. NMOS开漏输出



\*1. 寄生二极管

2. CMOS输出



\*1. 寄生二极管

■ 绝对最大额定值:

(除特殊注明以外:  $T_a=25^{\circ}\text{C}$ )

项目	记号	绝对最大额定值	单位
电源电压	$V_{DD}-V_{SS}$	15	V
输出电压	NMOS 开漏输出	$V_{SS} - 0.3 \sim V_{SS} + 15$	V
	CMOS 输出	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
输出电流	$I_{OUT}$	50	mA
容许功耗	SOT23-5L	250	mW
	SOT23-3L	250	
工作周围温度范围	$T_{opr}$	$-40 \sim +85$	$^{\circ}\text{C}$
保存周围温度范围	$T_{stg}$	$-40 \sim +125$	$^{\circ}\text{C}$

**注意** 绝对最大额定值是指无论在任何条件下都不能超过的额定值。

万一超过此额定值, 有可能造成产品劣化等物理性损伤。

## ■ 电气属性:

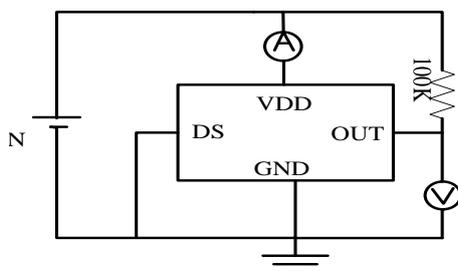
(除特殊注明以外: Ta@25°C)

项目	记号	条件		最小值	典型值	最大值	单位	测定电路
检测电压*1	-VDET	-		-VDET (s) *0.98	-VDET (s)	-VDET (s) *1.02	V	1
滞后幅度	V <sub>HYS</sub>	-		30	60	100	mV	1
消耗电流	I <sub>SS</sub>	VDD=3.5V	6127C22~26	-	1.1	5	μA	1
		VDD=4.5V	6127C27~39	-	1.2	5	μA	1
		VDD=6.5V	6127C40~60	-	1.3	5	μA	1
工作电压	V <sub>DD</sub>	-		1	-	12	V	1
输出电流	I <sub>OUT</sub>	输出晶体管, N 沟道 V <sub>OUT</sub> =0.5 V	VDD=1.2 V 6127C22 ~ 60	0.75	1.5	-	mA	2
			VDD=2.4 V 6127C27 ~ 60	3.0	6.0	-	mA	2
		仅 CMOS 输出产品, 输出晶体管, P 沟道, VDD-V <sub>OUT</sub> =0.5 V	VDD=4.8 V 6127C22 ~ 39	1.0	2.0	-	mA	2
			VDD=6.0 V 6127C40 ~ 54	1.25	2.5	-	mA	2
			VDD=8.4 V 6127C55 ~ 60	1.5	3.0	-	mA	2
泄漏电流	I <sub>LEAK</sub>	仅 N 沟道开路漏极产品, 输出晶体管, N 沟道, VDD=10V, V <sub>OUT</sub> =10V		-	-	0.1	μA	2
检测电压的温度系数*2	$\frac{\Delta(-VDET)}{\Delta Ta * (-VDET)}$	Ta=-40°C ~ +85°C		-	±120	±360	ppm/°C	1
延迟时间 1	T <sub>d1</sub>	VDD=-VDET+1 V, DS 端子低电平	6127CXXX	130	200	290	ms	1
延迟时间 2	T <sub>d2</sub>	VDD=-VDET+1 V, DS 端子高电平		110	220	330	μs	3
输入电压	V <sub>SH</sub>	DS 端子, VDD=6.0 V		1.0	-	-	V	4
	V <sub>SL</sub>	DS 端子, VDD=6.0 V		-	--	0.3	V	4

\*1. -VDET : 实际检测电压值、-VDET (s) : 设定检测电压值 (表1~2 的检测电压范围的中心值);

## ■ 测定电路

1.



CMOS输出产品的情况下, 不需要上拉电阻

图1

2.

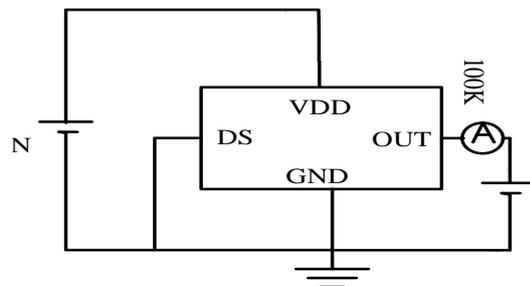
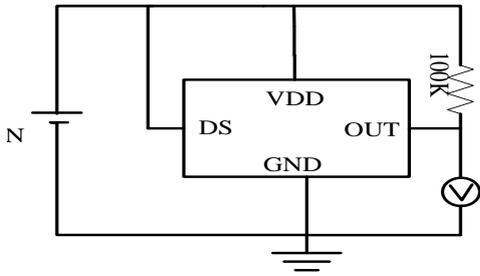


图2

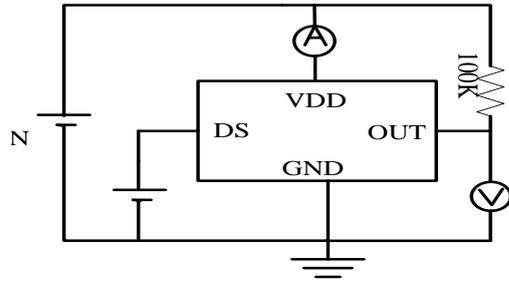
3.



CMOS输出产品的情况下，不需要上拉电阻

图3

4.



CMOS输出产品的情况下，不需要上拉电阻

图4

## ■ 工作说明

### 1. 基本原理（以CMOS产品为例）：

(1) 电源电压 (VDD) 在解除电压 (+VDET) 以上时，NMOS晶体管变为关断，PMOS晶体管变为开启，VDD输出高电平。此时NMOS晶体管为关断状态，比较器输入的输入电压变为：

$$\frac{(RB + RC) * VDD}{RA + RB + RC}$$

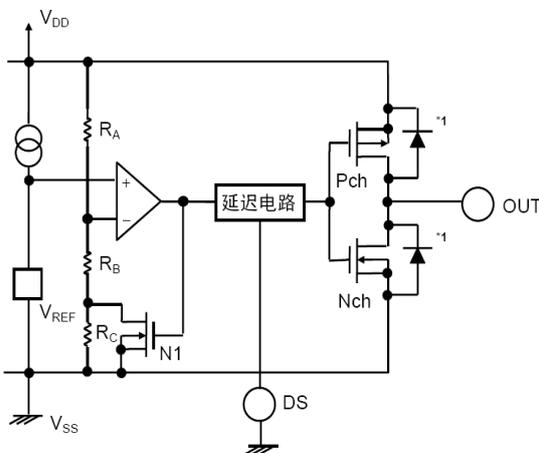
(2) VDD即使降低到+VDET以下，只要在检测电压 (-VDET) 以上输出VDD。VDD变为-VDET (图6 A点) 以下时，输出方的NMOS晶体管变为开启，PMOS晶体管变为关断，输出VSS。此时，NMOS晶体管N1变为开启状态，比较器输入的输入电压变为：

$$\frac{RB * VDD}{RA + RB}$$

(3) VDD进一步降低，若降到IC的最低工作电压以下时，输出变得不稳定，在输出被上拉的情况下，输出变为VDD。

(4) 使VDD上升到最低工作电压以上时，VSS被输出，当VDD超过-VDET，只要是相对于+VDET较小时，输出都为VSS。

(5) 再继续使VDD上升到+VDET(图6的 B点) 以上时，NMOS晶体管变为关断，PMOS晶体管变为开启，OUT输出端通过延迟电路只延迟 tD 时间再输出VDD。



\*1. 寄生二极管

图5

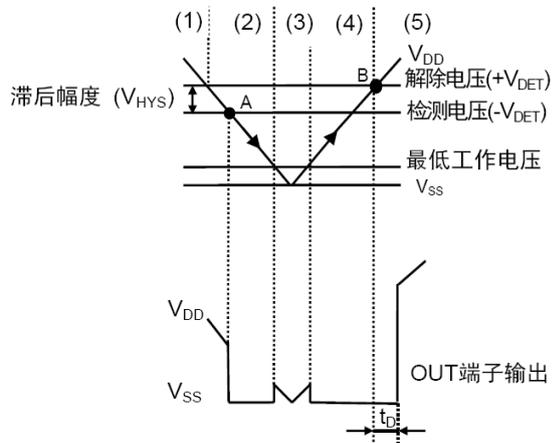


图6



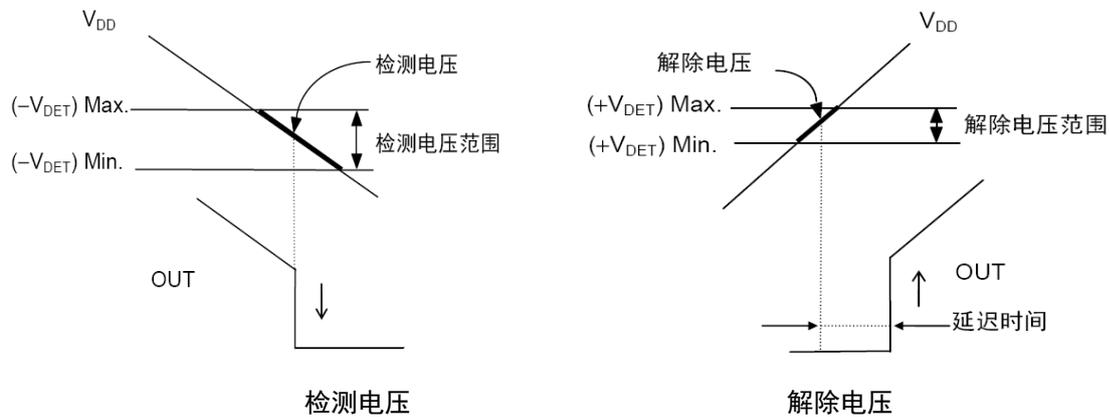


图8

**备注：** 检测电压与解除电压虽在规定合格范围内会重复，但 $(+V_{DET}) > (-V_{DET})$ 特性不会变。

2. 滞后幅度 (VHYS)

滞后幅度表示检测电压与解除电压之间的电压差 (图11中B点的电压-A点的电压 $V_{HYS}$ )。通过在检测电压与解除电压之间带有滞后幅度，可以防止在因噪声等侵入输入电压时而产生的误操作。

3. 延迟时间 ( $t_D$ )

$V_{DD}$ 端的输入电压，DS端为低电平时，OUT输出端从超过解除电压值 $(+V_{DET})$ 到实际上发生翻转为止的时间称为延迟时间，此值由系列产品在内部被固定，分别为50mS, 100mS, 200mS;通过设置DS端的输入为高电平，在较短的延迟时间内可以使输出反转，如图9。

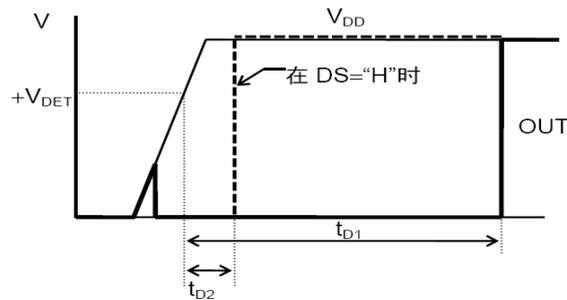


图 9

4. 击穿电流

击穿电流是在电压检测器检测以及解除时瞬间流经的电流。在解除延迟时间内，因为内部的逻辑电路一直在工作，按20 kHz程度的频率击穿电流会反复流入。

5. 振荡

例如CMOS输出情况下，在输入端接分压电阻的电路中 (图10)，输出端低电平切换到高电平切换时 (解除时)，由于流经的击穿电流会流经输入电阻的产生压降，输入电压降低到下降检测电压以下时，输出端进行高电平到低电平的切换。输出变为低电平时，因为击穿电流不会流经，所以没有压降产生，输出低电平到高电平切换，此时击穿电流再次流经，会发生电压下降。此状态的反复发生称为振荡。

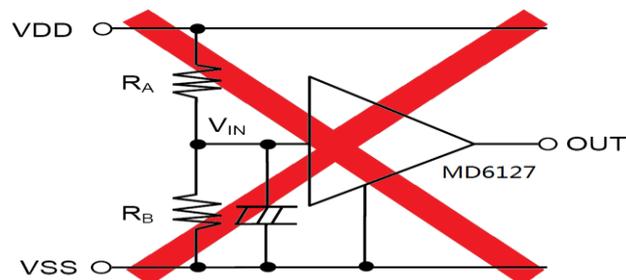


图 10 应用不当线路

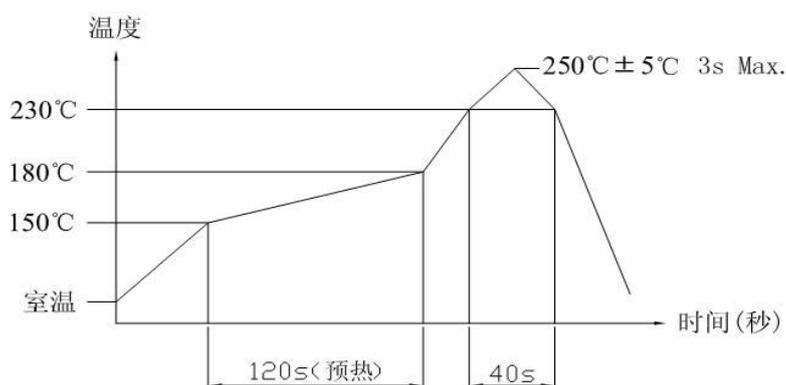
## ■ 注意事项

1. 本产品电压解除时，由于内部振荡电路、计数器时钟在工作，在延迟时间内以大约20 kHz 的频率击穿电流会流经。因此，若输入为高阻抗，则由于击穿电流会有导致发生振荡的可能。在输入的阻抗高的情况下，请在VDD端-VSS 端之间加电容使用。
2. 本IC 虽内置防静电保护电路，但请不要对IC 施加超过保护电路性能的过大静电。
3. CMOS 输出产品在检测以及解除时会流经击穿电流。若输入为高阻抗，由于解除时的击穿电流而引起的电压降低有导致振荡的情况发生。
4. 本资料中所记载的应用电路用于大量生产设计的情况下，请注意元器件的偏差与温度特性。
5. 使用本公司的IC 生产产品时，如在其产品中对该IC 的使用方法或产品的规格，或因与所进口国对包括本IC 产品在内的专利产生纠纷时，本公司概不承担相应责任。有关所记载电路的专利，本公司概不承担相应责任。

## ■ 焊接条件：

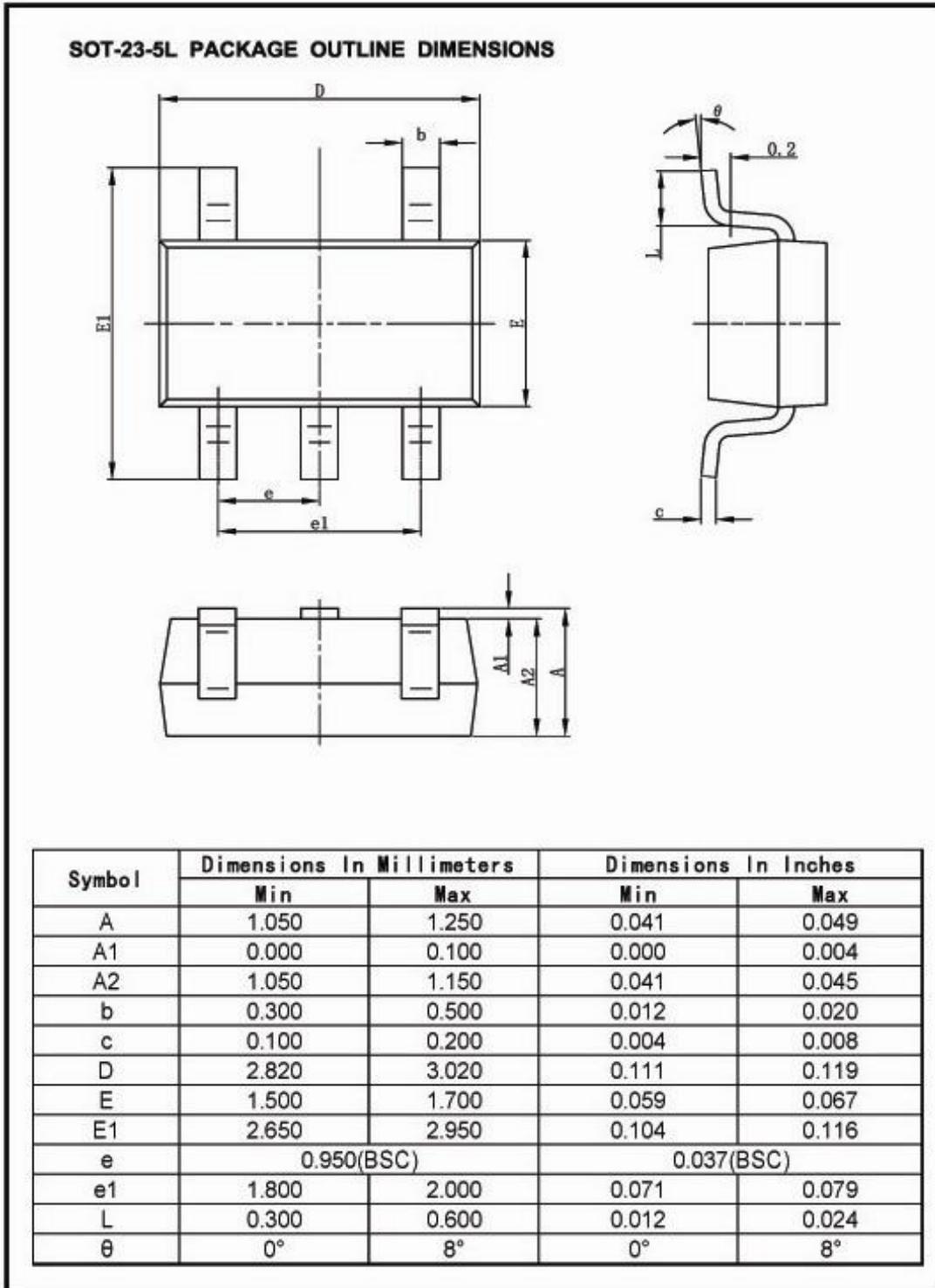
推荐采用回流方式焊接（即回流焊）

温度分布曲线如下图：

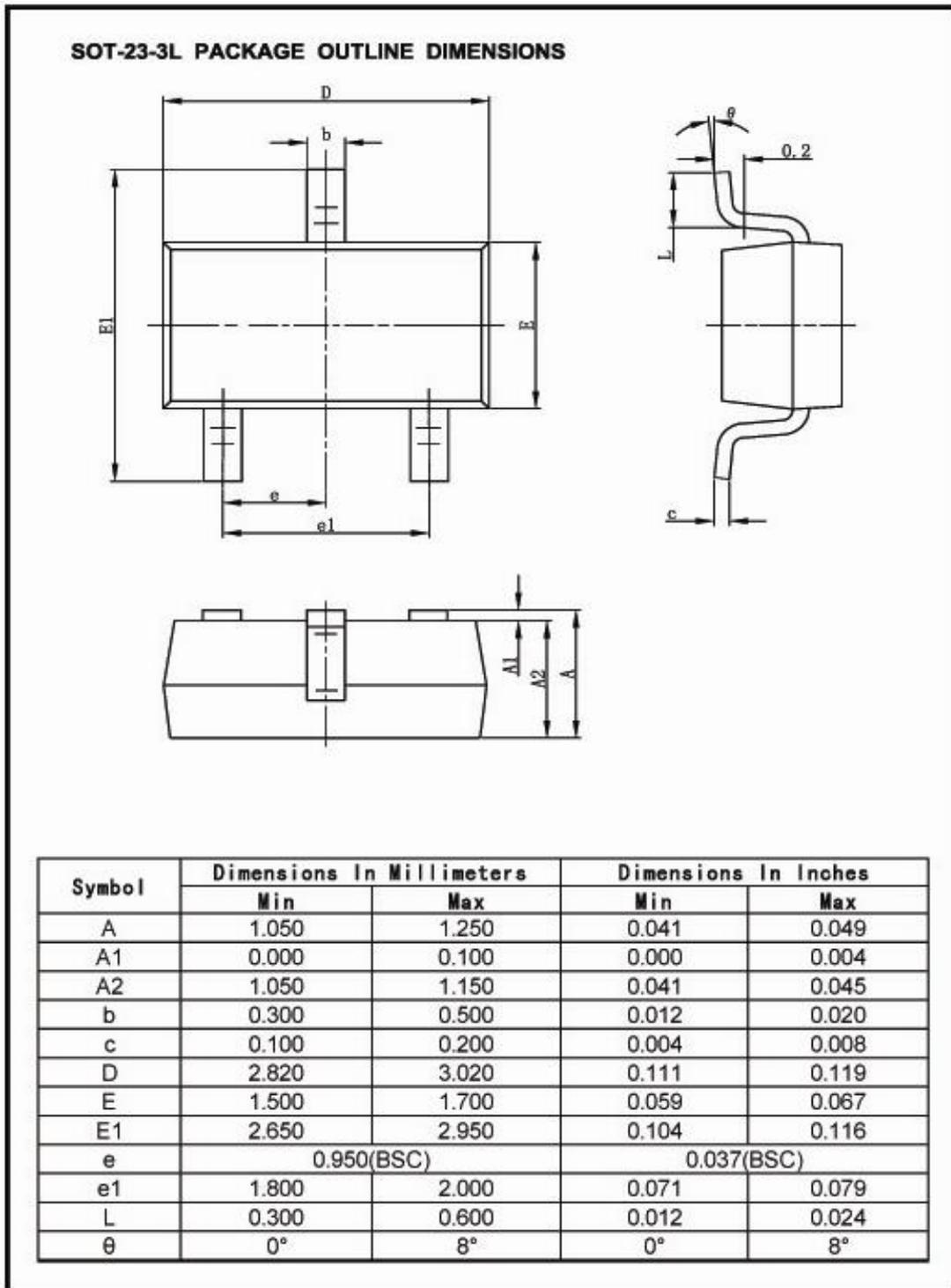


注意：上述条件温度为印刷电路板的零部件贴装面上的温度。根据电路板的材质、大小、厚度等，电路板温度和开关表面温度会有很大的不同，所以请注意开关表面温度不要超过 $250^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以上。

■ 封装尺寸



■ 封装尺寸



版本如有更新恕不另行通知  
版本:20200427

[www.hlwdz.com](http://www.hlwdz.com)